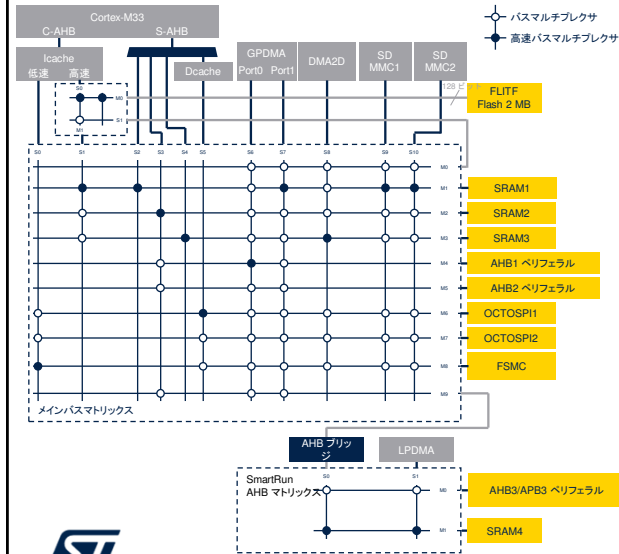




こんにちは。このプレゼンテーションでは、STM32U5 のマスタとスレーブを相互接続するバスマトリックスについて説明します。

バスマトリックスの概要



- **メインバスマトリックス:**
 - 32 ビットマルチ AHB バスマトリックス
 - 11 AHB スレーブインタフェース (Si) + 10 AHB マスタインタフェース (Mi) で構成
- **キャッシュのリフィルのバスマトリックス**
 - 128 ビットバスマトリックス
 - 2 AHB 128 ビットインタフェース (1 マスタ + 1 スレーブ) および 2 AHB 32 ビットインタフェース (1 マスタ + 1 スレーブ) で構成
- **SRD バスマトリックス:**
 - 32 ビットバスマトリックス
 - 2 AHB スレーブインタフェース + 2 AHB マスタインタフェースで構成



2

複数のハイスピードペリフェラルが同時動作中であっても、バスマトリックスによって、マスタからスレーブへのアクセスが可能になるとともに、同時アクセスや効率的な動作を行うことが可能になっています。STM32U5 Arm® Cortex®-M33 コアは、高速マスタポートを通じて Flash に直接アクセスできる命令キャッシュにより、実行用に最適化されています。

図中央の 32 ビット AHB5 マルチレイヤ・バス・マトリックスは、11 マスタと 10 スレーブを相互接続します。128 ビット AHB5 命令キャッシュのリフィルのバスマトリックスは、2 つの 128 ビットインタフェースと 2 つの 32 ビットインタフェースで構成されています。

128 ビットインタフェースは、命令キャッシュに接続されたスレーブ 0 ポートと、フラッシュメモリインタフェースまたは FLITF に接続されたマスタ 0 ポートです。

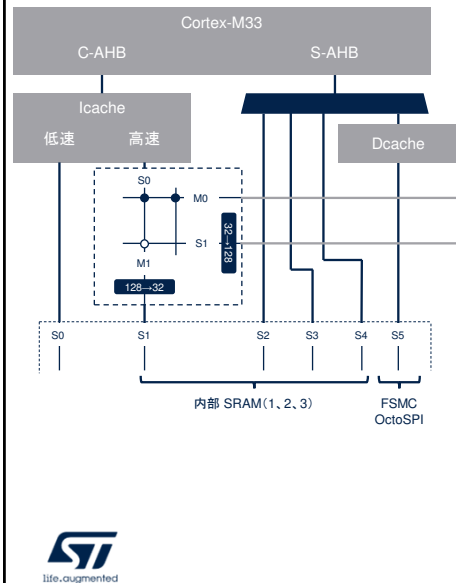
32 ビットインタフェースは、Flash メモリへのアクセスを有効にするメインバスマトリックスに接続されたスレーブ 1 ポートと、メインバスマトリックスに接続されたマスタ 1 ポートです。

32 ビット AHB5 SmartRun ドメインまたは SRD バスマトリックスには、2 つのスレーブインタフェース (メインマトリックスおよび LPDMA) と、2 つのマスタインタフェース (AHB3/APB3 ペリフェラルおよび SRAM4) があります。

これらのバスマトリックスは、各マスタを特定のスレーブに遅延なく接続するために使用される高速バスマルチプレクサを備えています。同じマスタに対しても、他のスレーブでは新しいアクセスのたびに少なくとも 1 サイクルの遅延が発生します。

ユニークな高速バスマルチプレクサがどの特定の列にも存在することがわかります。ICACHE 低速ポート用の FSMC など、遅延なしでアクセスされる関連するマスタのデフォルトスレーブを選択します。

S バス



- **S-AHB 相互接続(内部メモリ):**
 - ペリフェラル/SRAM 領域にあるデータにアクセスするために使用
 - 内部 SRAM(SRAM1、2、3、SRAM4、および BKPSRAM)に接続された 3 つのマスタ
 - SRAM1、2、3 の場合: **ゼロ遅延**
- **DCACHE S-AHB(外部メモリ)**
 - 外部メモリには、データキャッシュ(FSMC、OCTOPSPI)を介してアクセス
 - 命令フェッチおよびデータ領域に配置された外部メモリへのデータアクセスに使用
 - このバスを介した命令のフェッチは、C-AHB バスおよび ICACHE 低速ポートを介したフェッチよりも効率低下

Cortex-M33 によって開始された内部 SRAM メモリへのアクセスは、S-AHB ポートを通じて実行されます。S-AHB ポートに接続されたデマルチプレクサは、アドレスに従って、メインバスマトリックス内のスレーブポートを選択します。

- SRAM1 にアクセスする場合は S2
- SRAM2、SRAM4、およびバックアップ SRAM にアクセスする場合は S3
- SRAM3 にアクセスする場合は S4

SRAM1、2、3 の場合、現時点で他のマスタが SRAM にアクセスしていない場合の遅延時間はゼロです。

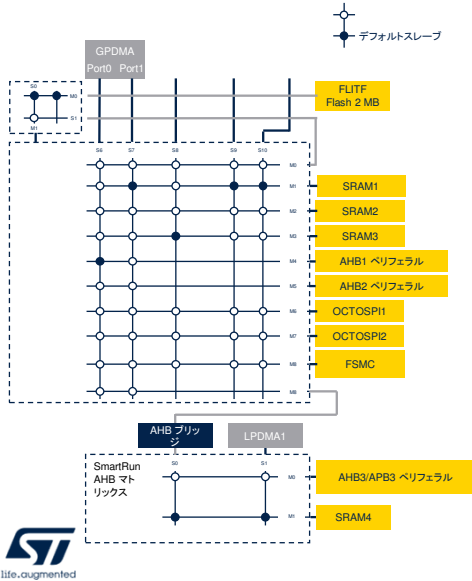
SRAM1、SRAM2、および SRAM3 は、連続的に配置された S-AHB バスからアクセスできます。

FSMC または OctoSPI コントローラに接続された外部メモリへのアクセスは、リクエストがキャッシュ不可としてマークされている場合でも、DCACHE を介して実行されます。

これらのアクセスは、マッピングの外部データ領域に配置された、データリクエスト、ならびに命令リクエストの場合があります。

S-AHB および DCACHE を介した命令のフェッチは、C-AHB バスおよび ICACHE 低速ポートを介したフェッチよりも効率が落ちることに注意してください。これが、ICACHE がアドレス再配置機能をサポートする理由です。

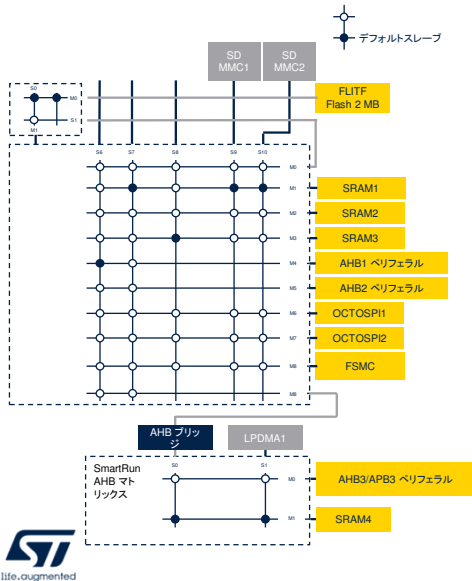
GPDMA バス



- **GPDMA バス:**
 - BusMatrix への 2 AHB マスタインタフェース
- **GPDMA のアクセス先:**
 - 内部メモリ: Flash SRAM1、2、3、4 および BKPSRAM
 - 外部メモリ OCTOSPI + FSMC
 - APB1 および APB2 ペリフェラルを含む AHB1 ペリフェラル
 - AHB2 ペリフェラル
 - SRD ペリフェラル
- **デフォルトスレーブ:**
 - AHB1 ペリフェラルポート 0
 - SRAM1 : port1

GPDMA にはデュアル双方向マスタポートがあります。ポート 0 およびポート 1 では、同時転送をサポートします。マスタポートは、内部と外部のメモリ、内部と外部のペリフェラルなど、マイクロコントローラ内の任意のメモリマップされたリソースにアクセスできます。ポート 0 は、AHB1 ペリフェラルのアクセスのデフォルトスレーブです。ポート 1 は、SRAM1 アクセスのデフォルトスレーブです。

SDMMC1 および SDMMC2 の DMA コントローラ



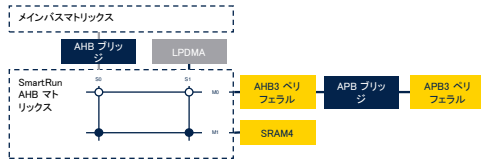
- SDMMC1 および SDMMC2 の DMA マスタバスはバスマトリックスと接続
- メモリにデータを読み書きするために、SDMMC1 および SDMMC2 の DMA でのみ使用
- これらのバスはデータメモリを対象
 - 内部 Flash メモリ
 - 内部 SRAM (SRAM1、SRAM2、および SRAM3)
 - FSMC または OCTOSPI を介した外部メモリ
- デフォルトスレーブ:
 - SRAM1 (両方)



5

SD および MMC のコントローラはマスタモジュールです。SD/MMC に書き込まれたデータは RAM のバッファから読み出され、SD/MMC から読み出されたデータは RAM のバッファに格納されるため、これらは内部または外部の任意のメモリにアクセスできます。両方のコントローラのデフォルトスレーブは SRAM1 です。

SmartRun ドメイン (SRD) バスマトリックス



- GPDMA は CPU ドメインでのみ使用可能 (システムクロックが使用可能な場合)
 - GPDMA は、システムクロックが使用可能な場合、すべての SRD スレーブにアクセス可能
- LPDMA は SRAM4 および AHB3/APB3 ペリフェラルにのみアクセス可能
 - DMA に依存しており、LP モード中に Stop 2 までの自律動作が可能
- 次を相互接続する 32 ビット AHB バスマトリックス:
 - 2 マスタ:
 - メイン AHB バスマトリックス
 - LPDMA (1 つのマスタポートを備えた低電力 DMA)
 - 2 スレーブ:
 - AHB3 および APB3 ペリフェラル
 - 内部 SRAM4 (16 KB)



6

一部のペリフェラルは自律モードをサポートしています。これらは、マイクロコントローラが低電力 STOP モードの間はアクティブなままです。

これらのペリフェラルは、STOP モードでもステータスレジスタを操作し、更新するために、必要に応じてカーネルクロックリクエストと AHB/APB バスロックリクエストを生成します。

自律型ペリフェラルが DMA リクエストを有効にして設定されている場合、データ転送は AHB/APB クロックによって実行されます。

AHB1、AHB2、APB1、および APB2 に配置された自律型ペリフェラルは、CD とも呼ばれる CPU ドメインに属しており、GPDMA と SRAM1、SRAM2、SRAM3、または SRAM4 がある場合のみ、STOP 0 と STOP 1 では自律的です。

メインマトリックスは CD に属しています。

AHB3 または APB3 に配置された自律型ペリフェラルは、SRD とも呼ばれる SmartRun ドメインに属しており、LPDMA と SRAM4 がある場合、STOP 0、STOP 1、および STOP 2 では自律的です。

LPDMA は SRAM4 および AHB3/APB3 ペリフェラルにのみアクセスできません。

アービトレーション

- アービトレーション:
 - すべてのバスマトリックスアービトレーション構成は、ラウンドロビン方式
 - 最小番号のリクエスタから開始
- アービトレーションは、許可されたアービトレーションポイントで実行
 - 新しいアービトレーションが発生する前に、開始されたバーストをすべて終了
 - バースト長が指定されていない場合、4 ビートごとにアービトレーションが実行
- 各アービトレーション変更が有効になるまでに 1 クロックサイクルが必要
 - 非デフォルトスレーブの場合の全遅延時間 = 1 サイクル
- デフォルトスレーブの場合は遅延なし = 0 サイクル



7

このバスマトリックスによって、マスタ間のアクセス調停を管理します。

アービトレーションはラウンドロビンアルゴリズムを使用し、これは最小番号のリクエスタから開始します。

バーストを横取りできないようにするために、アービトレーションは許可されたアービトレーションポイントで実行されます。

このバスマトリックスは、各マスタを特定のスレーブに遅延なく接続するために使用される高速バスマルチプレクサを備えています。

同じマスタに対しても、他のスレーブでは新しいアクセスのたびに少なくとも 1 サイクルの遅延が発生します。

Our technology starts with You

© STMicroelectronics - All rights reserved.

ST logo is a trademark or a registered trademark of STMicroelectronics International NV or its affiliates in the EU and/or other countries.

For additional information about ST trademarks, please refer to www.st.com/trademarks.

All other product or service names are the property of their respective owners.



このプレゼンテーション以外に、次のプレゼンテーションを参照できます。

- 命令キャッシュ(ICACHE)
- データキャッシュ(DCACHE)
- 電源管理(PWR)
- リセットおよびクロックコントローラ(RCC)